Os três sensores de pixel ativo (APS) FET CMOS que operam no modo linear logarítmico são um dos mais eficientes geradores de imagens de faixa dinâmica ampla. No entanto, a qualidade da imagem gerada na matriz do plano focal geralmente é comprometida pelo ruído do padrão fixo (FPN) entre os pixels. A técnica clássica de amostragem dupla correlacionada (CDS) é usada para reduzir a FPN em imagers que operam no modo linear. Porém, no modo linear-logarítmico complementar, o CDS não funciona corretamente e técnicas alternativas devem ser aplicadas para reduzir a FPN. As técnicas alternativas comuns aumentam a complexidade do pixel ou seu circuito externo. Para evitar esses problemas, uma nova técnica foi desenvolvida para reduzir o FPN que pode ser aplicado à arquitetura básica dos três FET APS. Com o objetivo de afirmar a eficácia da técnica proposta, uma pequena matriz foi fabricada em uma tecnologia CMOS padrão de 0,35. Resultados experimentais mostram que a técnica proposta é capaz de reduzir a FPN de maneira bastante constante em toda a faixa de iluminação usada para testar a matriz. E, portanto, a relação sinal-ruído-e-distorção (SNDR) da matriz também é aprimorada em toda a faixa de operação.

Devido à funcionalidade e simplicidade, as arquiteturas do sensor de pixel ativo (APS) se tornaram a escolha preferida no design de sensores de imagem CMOS. Atualmente, os circuitos APS são mais conhecidos por sua aplicação em imageadores de mega-pixel [1] - [3]. No entanto, eles têm uma gama mais ampla de aplicações que podem não exigir matrizes densas, como monitoramento industrial, scanners de linha, endoscopia médica, lab-on-chip, etc. [2] - [5]. O APS pode ser operado basicamente em dois modos diferentes: linear e logarítmico.

No modo linear, o pixel apresenta boa sensibilidade para baixa iluminação [1], [2], mas uma faixa dinâmica bastante curta para alta iluminação [2]. Por outro lado, no modo logarítmico, apresenta alta faixa dinâmica para alta iluminação e baixa sensibilidade para baixa iluminação [1].

Alternativamente, o pixel pode ser operado em diferentes combinações linear logarítmicas [1], [6] - [9]. Nessas combinações, o APS utiliza a alta sensibilidade do modo linear, com baixa iluminação, e a faixa dinâmica alta do modo logarítmico, em direção à alta iluminação.

Entre todas as combinações linear-logarítmicas alternativas, aquela com a implementação mais simples e a operação mais rápida é a proposta em [7]. Esta técnica pode ser aplicada aos três FET APS básicos ou aos quatro FET APS apresentados em [7]. O uso dos três FET APS é preferível, pois o fator de preenchimento do pixel pode ser mantido mais alto.

Em três FET APS, como o circuito apresentado na Fig. 1, a técnica funciona conectando RDR permanentemente à tensão de alimentação e usando uma abordagem de redefinição por hardware alterna o terminal RST entre um valor máximo e um mínimo. No esquema de hard-reset, aplicado para suprimir o atraso da imagem induzida pela reinicialização [10], o valor máximo de RST deve ser maior que Vdd mais a tensão limite Vth de M1 (Vdd + Vth). Isso é feito para que a tensão do nó sensor (SN) atinja o nível de redefinição, Vres em [7], que é o nível de tensão de alimentação. A chave para alcançar a operação linear-logarítmica complementar é o baixo nível de RST, que pode ser definido para um valor predeterminado na faixa entre (GND + Vth) e o nível de redefinição Vdd.

Por outro lado, a operação de reinicialização rígida pode ser prejudicial ao circuito, porque sobrecarrega o óxido de porta do transistor MOS M1, reduzindo seu tempo de vida útil, conforme discutido em [11], [12]. Esse efeito reduz, portanto, a vida útil do circuito APS e da matriz do gerador de imagens como um todo.

Os quatro FET APS, relatados em [7], foram propostos para evitar a operação de reinicialização por hardware para suprimir o atraso da imagem induzida por reinicialização. No entanto, devido à necessidade de um quarto transistor, ele apresenta um fator de preenchimento menor do que a arquitetura básica dos três FET APS. No entanto, é possível implementar essa operação linear-logarítmica nos três circuitos FET APS, sem a necessidade de operação de hard-reset para suprimir o atraso da imagem, pela leve adaptação proposta pelos autores em [13], [14].

No entanto, não importa em que modo o circuito APS seja operado, o ruído de padrão fixo (FPN) é um problema relevante a ser tratado [1], [2], [8] - [10], [13] - [21 ] FPN são não idealidades introduzidas durante o processo de fabricação que causam variação de saída pixel a pixel sob iluminação uniforme.

No modo linear, o FPN pode ser calibrado usando a técnica CDS bem estabelecida [1], [2]. No entanto, somente é verdadeiramente correlacionado quando aplicado aos quatro FET APS com um diodo fixado ou fotogate, conforme discutido em [2]. A calibração FPN no modo logarítmico pode ser feita com um único ponto de referência para compensar o deslocamento FPN [9], [13] e [14]. Já para compensar o deslocamento e obter FPN, são necessários no mínimo dois pontos de calibração, além do sinal amostrado [9], [15] e [16].

A operação linear-logarítmica apresentada em [9] produz independentemente as respostas lineares e as respostas logarítmicas em duas  muito tempo. Portanto, ele também pode compensar o FPN independentemente nas duas regiões de operação. Nesta arquitetura, ao usar a calibração de parâmetro único, é necessária uma sequência de quatro operações de leitura, além de aguardar o tempo de estabilização logarítmica entre a segunda e a terceira operação de leitura [9]. Essa técnica de calibração é consequentemente mais lenta que a técnica básica do CDS, que requer apenas duas operações de leitura.

A solução apresentada em [17] utiliza uma combinação linear-logarítmica semelhante à apresentada em [7]. Essa técnica também usa o CDS para calibrar a FPN para a região linear e a calibração de dois parâmetros proposta em [16] para a região logarítmica. Além disso, ainda requer um método adicional para compensar a FPN na região de transição entre regiões lineares e logarítmicas.

Com a técnica proposta em [17], antes de escolher qual método aplicar para compensar o FPN, é necessário identificar em qual região cada pixel da matriz está operando em cada quadro, seja no linear ou no logarítmico, ou na região de transição. Esse processo exige algum tipo de verificação, isto é, computacional, que requer tempo extra além do tempo necessário para amostrar o sinal e os pontos de referência. Portanto, essa técnica também é mais lenta que a técnica básica do CDS.

A técnica de calibração apresentada em [8] utiliza injeção de carga no fotodiodo para executar a compensação FPN. Essa técnica reduz a FPN na região logarítmica, mas aumenta na região linear. Além disso, também requer quatro operações de leitura para executar essa calibração.

Neste trabalho, os autores apresentam uma técnica simples para reduzir a FPN nos três FET APS da Fig. 1, operando no modo linear-logarítmico, como proposto inicialmente por eles em [13] e [14]. Essa técnica usa uma abordagem de subtração de leitura de amostra dupla (DSRS). Ele pode ser implementado com circuitos de leitura de coluna semelhantes aos usados ​​pela técnica clássica do CDS, como mostrado em [13].

Uma das vantagens da técnica apresentada em [13] e [14] é que ela usa apenas um ponto de referência para calibrar o FPN em qualquer região de operação, no entanto, não atinge totalmente o nível de calibração do FPN otimizado para cada região específica, como [ 9] e [17]. Não obstante, a técnica aqui proposta é capaz de reduzir a FPN em ambas as regiões de operação, bem como na região de transição, à taxa de uma operação regular de CDS no APS linear.

Neste trabalho, apresentamos resultados de caracterização da matriz projetada para avaliar a técnica introduzida em [13] e [14], comprovando sua eficácia. Como a técnica proposta pode ser aplicada diretamente aos três FET APS, o fator de preenchimento do pixel pode ser mantido o maior possível.

O artigo está organizado da seguinte forma: a implementação da técnica proposta será descrita na Seção II. O design e a implementação da matriz será apresentada na Seção III. Resultados experimentais que afirmam a solução são mostrados na Seção IV. A discussão dos resultados é apresentada na Seção V. Finalmente, as conclusões deste trabalho são apresentadas na Seção VI.

II. FIXED-PATTERN NOISE COMPENSATION

O projeto usual dos três FET APS é implementado com o terminal de drenagem do transistor de redefinição, RDR na Fig. 1, fixado no nível da fonte de tensão, Vdd. Para aplicar a técnica proposta e compensar o FPN no modo linear-logarítmico, o terminal RDR do pixel deve estar livre para ser conectado a qualquer nível de tensão. Essa conexão específica é usada para estabelecer uma referência de tensão no nó sensor do pixel, SN na Fig. 1, que será usada para calibração adicional. Em uma matriz de gerador de imagens, todos os pixels em uma coluna compartilham o mesmo barramento da coluna de saída. Portanto, a seleção de um pixel específico em uma coluna é feita alternando seu terminal SEL, na Fig. 1, de GND para nível, enquanto o terminal SEL de todos os outros pixels é mantido no nível GND.

A operação linear-logarítmica complementar demonstrada experimentalmente neste trabalho é a proposta conceitualmente e simulada em [13], [14]. Difere do método apresentado em [7] porque o atraso da imagem induzida pela redefinição é suprimido através da redefinição do pseudo-flash, conforme descrito em [13], e, portanto, o esquema de redefinição definitiva não é mais necessário. Essa abordagem é mais interessante porque o nível máximo de tensão no terminal RST é Vdd, como mostra a curva na Fig. 2, e, portanto, a tensão excessiva de óxido de porta é eliminada.

O regime linear-logarítmico é produzido escolhendo um nível baixo conveniente para o sinal de redefinição do pixel entre os níveis Vdt = (Vdd - Vth) e (GND + Vth), conforme mostrado na Fig. 2. Observe que se o nível baixo de Vrst é GND, então o circuito opera no modo linear puro. A referência de tensão para realizar a compensação FPN é produzida escolhendo um nível baixo conveniente para o sinal de controle, como mostra a Fig. 2. As informações de intensidade da luz são traduzidas como um nível de tensão, presente no nó do sensor durante o tempo de integração, Tint . E a tensão de referência, Vref, para compensação FPN estará presente no nó do sensor durante o tempo de referência, Tref.

A saída do pixel com FPN reduzido é produzida amostrando duas vezes a saída em s1 e s2 na Fig. 2 e subtraindo a segunda amostra da primeira amostra. A primeira amostra é coletada no final do Tint e registra o sinal com informações sobre a intensidade da luz e o deslocamento FPN do pixel. A segunda amostra é obtida no início do Tref e registra a referência de tensão, Vref, e também grande parte do deslocamento FPN do pixel. A subtração da segunda amostra da primeira suprime a parte do deslocamento FPN presente nas duas amostras.

O tempo de referência pode ser tão curto quanto o tempo necessário para Vsn atingir o nível de Vref e a segunda amostra s2 a ser executada.

A forma de onda Vsn mostrada na Fig. 2 representa o sinal do modo sensorial sob nossos diferentes níveis de iluminação. Quando exposto aos três níveis mais altos de iluminação atinge a região logarítmica no início do tempo de integração, Tint, e para o nível inferior, o respectivo sinal permanece bastante linear até o final do tempo de integração.

Vale ressaltar que essa técnica exige que o baixo nível de Vrdr seja menor que o menor nível possível de Vsn [13], [14]. O nível mais baixo de Vsn é alcançado quando o pixel está na condição de iluminação mais alta, durante um tempo de integração escolhido.

O período de tempo na Fig. 2 chamado P-FRST significa redefinição de pseudoflash, destinado a reduzir o atraso da imagem induzida por redefinição no imager [13]. Isso é obtido redefinindo o nível baixo do nó sensor SN para um nível baixo predefinido, imediatamente antes da redefinição do pixel, durante o tempo de referência Tint, conforme explicado em [13].

Embora o pixel tenha sido projetado para avaliar a técnica proposta trabalhando no modo linear-logarítmico complementar, ele também pode ser usado como um pixel linear regular, onde a técnica CDS convencional pode ser aplicada para reduzir a FPN. A operação em ambos os modos com sua respectiva técnica para compensar a FPN será mostrada e discutida por meio de resultados experimentais.